

SEMICONDUCTOR DEVICE

Patent Number: JP2000332143
Publication date: 2000-11-30
Inventor(s): SAWADA KOICHI;; IWAZU SATOSHI
Applicant(s): SONY CORP
Requested Patent: JP2000332143
Application Number: JP19990140017 19990520
Priority Number(s):
IPC Classification: H01L23/12
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device with a bump on a substrate connecting surface which is constituted to eliminate the break of the bump caused by warping of a silicon chip during the temperature cycle tests, etc., by using an inexpensive means.

SOLUTION: In a semiconductor device, both surface sides of an insulating substrate are electrically connected to each other through a through holes, a solder bump 12 is attached to the opening of the through hole on one surface side, and then, an integrated circuit chip is stuck to the through hole on the other surface side. A stress concentration relieving means (tapered section) 16 which relieves stress concentration caused by the solder bump 12 is provided on the opening side of the through hole on one surface side.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-332143

(P2000-332143A)

(43)公開日 平成12年11月30日 (2000.11.30)

(51)Int.CI.

H 01 L 23/12

識別記号

F I

テ-マコ-ト(参考)

H 01 L 23/12

L

審査請求 未請求 請求項の数5 OL (全4頁)

(21)出願番号 特願平11-140017

(22)出願日 平成11年5月20日 (1999.5.20)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 沢田 浩一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 岩津 聰

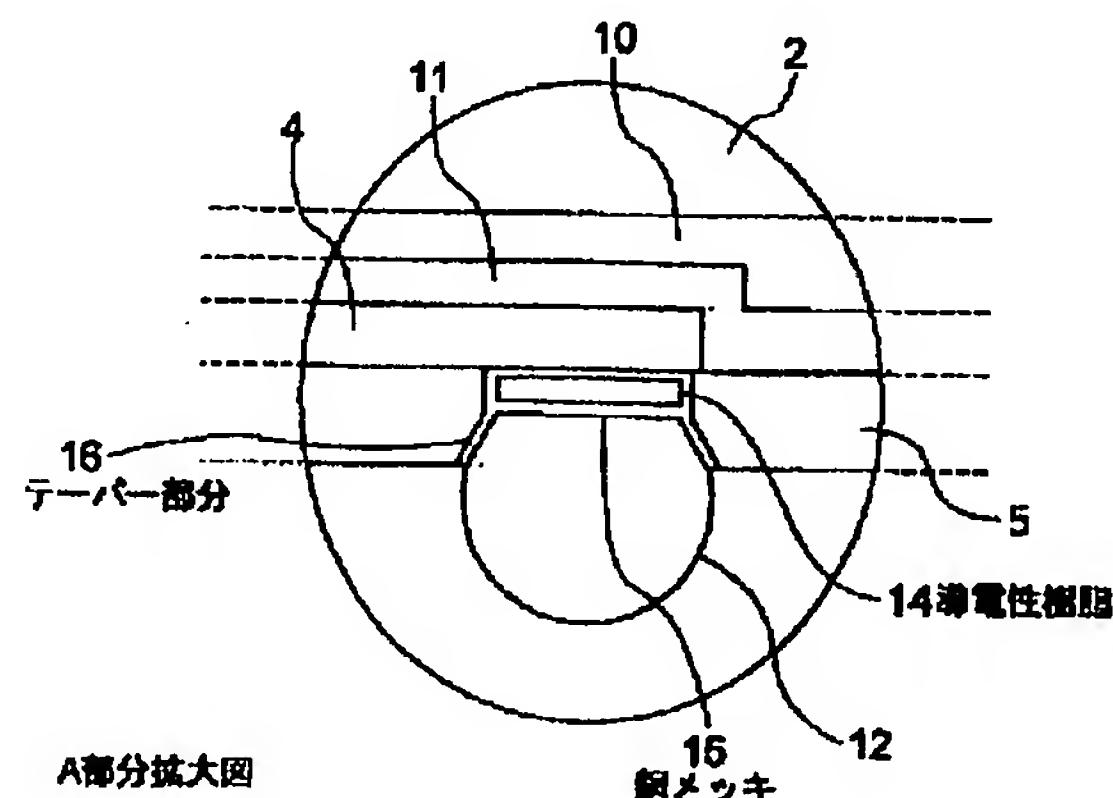
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 温度サイクル試験時等におけるシリコンチップの反りに伴なうバンプの破壊を、安価な手段を用いて無くすようにした基板接続面にバンプを備えた半導体装置を提供する。

【解決手段】 絶縁基板的一面側と他面側とをスルーホールで導通接続して、一面側のスルーホール開口部に半田バンプ12を取り付け、他面側のスルーホールに集積回路チップ2を接着してなる半導体装置において、一面側のスルーホール開口部側に、半田バンプ12による応力集中を緩和する応力集中緩和手段(テーパー部分)16を設けた。



【特許請求の範囲】

【請求項1】 絶縁基板の一面側と他面側とをスルーホールで導通接続し、一面側のスルーホール開口部にバンプを取り付け、他面側に集積回路チップを接着してなる半導体装置において、

前記一面側のスルーホール開口部に、前記バンプによる応力集中を緩和する応力集中緩和手段を設けたことを特徴とする半導体装置。

【請求項2】 前記応力集中緩和手段は、前記スルーホール開口部に形成したテーオー手段であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記応力集中緩和手段は、前記スルーホール開口部に形成した段差手段であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体装置は、前記集積回路チップおよび他面側を封止樹脂で覆った樹脂封止型半導体装置であることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体装置。

【請求項5】 前記半導体装置は、CSP型半導体装置であることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に基板接続面に外部接続端子としてのバンプを備えると共に、集積回路チップを樹脂で封止した半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置及びそれを実装する多層プリント基板配線板においては、小型薄型化、高性能化、高速化、高信頼性化が求められている。例えば、半導体装置は小型薄型化の要求から「ピン挿入型のパッケージ」から「表面実装型のパッケージ」へと移行し、半導体素子をプリント基板へ直接実装するような「ベアチップ実装」と呼ばれる実装方法も研究されている。また、前記実装密度向上のための手法としては、COB (Chip On Board)、FC (Flip Chip)、TCP (Tape Carrier Package) などが知られている。

【0003】 樹脂封止型半導体装置では薄型化が進んで、約1mmの厚さを有するTSOP (Thin Small Outline Package) やTQFP (Thin Small Quad Flat Package) 等の薄型パッケージが開発されている。

【0004】 更に近年、小型化、薄型化した半導体装置として、例えば半田バンプを使用したCSP (チップ・サイズ・パッケージ) 型の半導体装置が登場してきた。

【0005】

【発明が解決しようとする課題】 しかしながら、CSP型の半導体装置では前述の薄型化により曲げに対しての強度が弱くなるため、実装後の温度サイクル試験時に、シリコンチップと封止樹脂との熱膨張係数の差によって

発生する熱応力により、反ってしまうという問題が発生している。この「反り」は、特に半導体素子において、搭載するプリント配線基板の接続部である半田バンプに応力が集中する原因となり、半田バンプが破壊して導通不良となるなどの問題を引き起こしている。

【0006】 現在、一般的な反り対策としてシリコンチップと封止樹脂との熱膨張係数の差を小さくすることにより、対処しようとしているが、シリコンチップも封止樹脂も素材が異なるため、現実には完全に無くすことができなかった。そして、特にエポキシ系樹脂を内部絶縁基板として使用する半導体装置では、その応力が大きく薄型化が困難で、薄型化には高価ではあるがガラス転移点がよりエポキシ系樹脂よりも高く、高温域でも線膨張係数が変化せず、応力が比較的少ないポリイミドテープを使用しなければならなかった。

【0007】 そこで本発明の課題は、バンプによる応力集中を、安価な手段を用いて無くすようにした基板接続面にバンプを備えた半導体装置を提供することである。

【0008】

【課題を解決するための手段】 前記課題を解決するため本発明は、絶縁基板の一面側と他面側とをスルーホールで導通接続し、一面側のスルーホール開口部にバンプを取り付け、他面側に集積回路チップを接着してなる半導体装置において、前記一面側のスルーホール開口部に、前記バンプによる応力集中を緩和する応力集中緩和手段を設けたことを特徴とする。

【0009】 このようにすれば、応力集中緩和手段（例えば、テーオー手段）によりバンプによる応力集中が緩和されるので、高価なポリイミドテープを使用しないで、内部絶縁基板の反りに伴なっていたバンプ破壊を防止した、半導体装置を実現することができる。

【0010】

【発明の実施の形態】 以下、本発明を図示の実施の形態に基づいて説明する。図1及び図2に、本実施の形態のCSP型パッケージの半導体装置1を示す。半導体装置1は大型の絶縁基板5（以下、絶縁基板と記す）を有し、12mm角、厚さ0.075mmのエポキシ製のフィルム片である。

【0011】 図1、図2に示すように、絶縁基板5の表面には集積回路（半導体）チップ2と外部接続端子である半田バンプ12とを電気的に接続するための多数の銅パターンからなるワイヤ接続ランド4、バンプ接続ランド6、及び銅配線8が形成されている。銅パターンからなるバンプ接続ランド6は、絶縁基板5に形成されたスルーホール13上に位置し、該スルーホール13を介して半田バンプ12と接続されている。本実施の形態における各銅パターンからなるバンプ接続ランド6は、上記スルーホール13の位置に対応して、絶縁基板5の各辺に沿って連続的に配置されると共に、その並びの方向と直交方向3列に並んで配置されている。

【0012】また、銅パターンからなるワイヤ接続ランド4には、集積回路チップ2の回路形成面側に形成した電極パッド3から伸びる導体ワイヤ7の一端が接続されている。そして、これらワイヤ接続ランド4とバンプ接続ランド6とは、銅パターンからなる銅配線8によって接続されている。なお、本実施の形態において、銅配線8の線幅は約0.04mmとし、バンプ接続ランド6の線幅は約0.3mmとし、ワイヤ接続ランド4の幅は約0.1mmとした。また、隣り合うバンプ接続ランド6間のピッチは、約0.5mmとした。

【0013】図2及びそのA部分拡大図の図3に示すように、上記銅パターンからなるワイヤ接続ランド4、バンプ接続ランド6、及び銅配線8を形成した絶縁基板5の表面には、その全域に渡って、エポキシ系樹脂からなる半田マスク11の塗布を行なうが、導体ワイヤ7のポンディングのために、銅パターンからなるワイヤ接続ランド4上には半田マスクは塗布しない。

【0014】本実施の形態における銅パターンからなるワイヤ接続ランド4、バンプ接続ランド6、及び銅配線8は銅箔をラミネートした後に、その一部を、フォトリソグラフィー技術を用いてエッチングすることにより得られ、半田マスク11の塗布されていないワイヤ接続ランド4上にはAロメッキを施した。集積回路チップ2は、半田マスク11の上に滴下された液状のエポキシ系樹脂からなるダイペースト10によって、絶縁基板5上に接着される。これにより、上記すべての銅パターンからなるバンプ接続ランド6は、集積回路チップ2の下に位置する。

【0015】スルーホール13内部には半田バンプ12の接続を容易にする為に銅メッキ15が施されており、その中にバンプ接続ランド6と半田バンプ12の電気的な抵抗を減少させる為、及び、製造時に硬化前のモールド樹脂等のスルーホール13からの流出を防ぐ為に、導電性樹脂14が封入されている。本実施の形態でのスルーホール13は打ち抜き部材による打ち抜き加工、又はフォトリソグラフィー技術を用いて、下穴を空けておき、切削加工により形成することができ、半田バンプ12の取り付け側の端部を面取りすることにより、本発明にかかるテーパー部分16を設けることができる。本実施の形態では面取りをC0.035mmで行ない、その上に厚み1μm程度の銅メッキ15を行なっている。

【0016】以上のような構成の半導体装置に対し、半田バンプにおいて、もっとも条件が厳しいといわれる、それを全く一致する表裏に配置する両面実装を行ない、確認の為に-35°Cから+105°Cまでの温度サイクル試験を行った。

【0017】その結果、従来の製法によるもの（スルーホール部分の面取り無し）は400サイクル弱で半田バンプの破壊が見られたが、本実施の形態に示す製法で製

造した半導体装置1（スルーホール開口部の面取り有り）では700サイクル以上で半田バンプ12が破壊まで至っていないとの結果がでた。

【0018】更に確認として、上記半導体装置1をそれぞれ8接点立体要素まで簡略化したモデルにて100°C温度変化時のシミュレーションを行なってみると、従来の製法によるものに比較し、応力が分散しており、11.6mmkgf/mm²であった相当応力が、およそ9.8kgf/mm²まで軽減されていることが確認された。

【0019】なお、図4に示すように、スルーホールの半田バンプ12の取付け側に、段部分（段差部分）17を形成しても、前記テーパー部分16と同様に、応力集中を緩和することができる。

【0020】また、前記実施の形態においては、スルーホール13の開口部に取り付けるバンプが半田バンプ12の場合について説明したが、本発明は半田バンプ12の場合に限定されるものではなく、例えば金バンプの場合についても本発明を適用することが可能であることは勿論である。

【0021】

【発明の効果】以上説明したように本発明によれば、例えばCSP型半導体装置内のエポキシ系絶縁基板において、スルーホール開口部にバンプによる応力集中を緩和する応力集中緩和手段を設けることにより、例えば半田バンプ取り付け穴（スルーホール）の周囲を面取りすることにより、薄型化を行なった場合に問題となっていた半田バンプ部分への応力の集中を軽減し半田寿命を実使用に耐え得る程度まで延長することができる。

【0022】それにより絶縁基板でポリイミド系よりは安価なエポキシ系を使用した、例えばCSP型半導体装置の薄型化を実現することができる。また、絶縁基板を成形で製造する場合に成形金型の小変更のみで信頼性を向上することができる為、加工費も軽減することができる。

【図面の簡単な説明】

【図1】本発明の第1、第2実施の形態に共通の図であって、CSP型パッケージの半導体装置の一部を破断して示す斜視図である。

【図2】同第1実施の形態の断面図である。

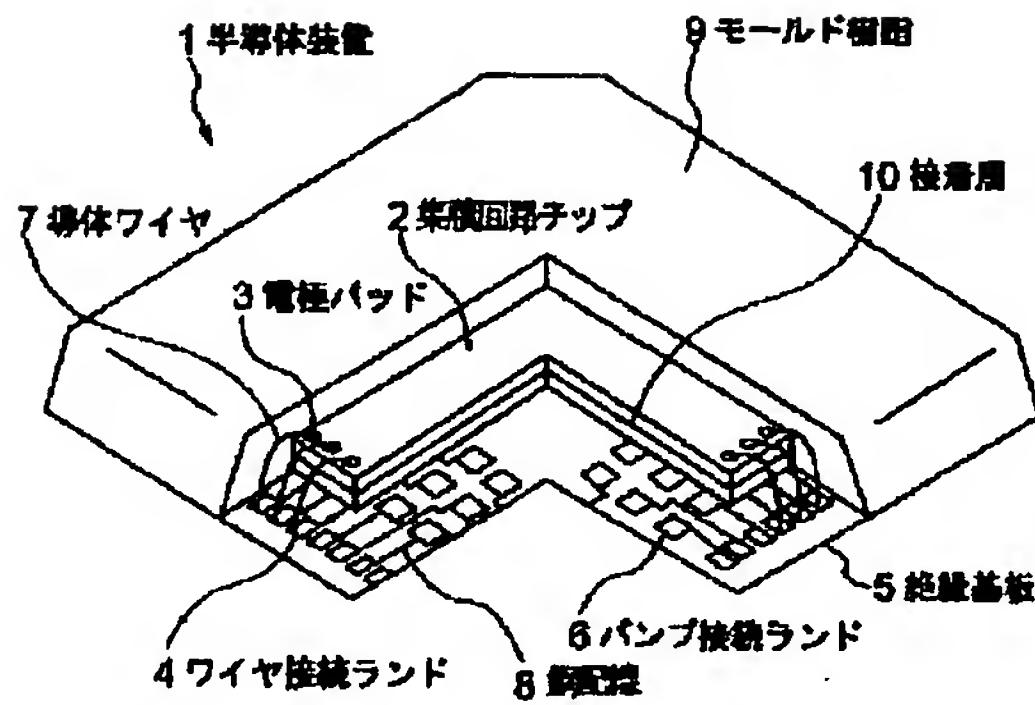
【図3】図2に示すA部分（要部）の拡大図である。

【図4】同第2実施の形態の要部拡大図である。

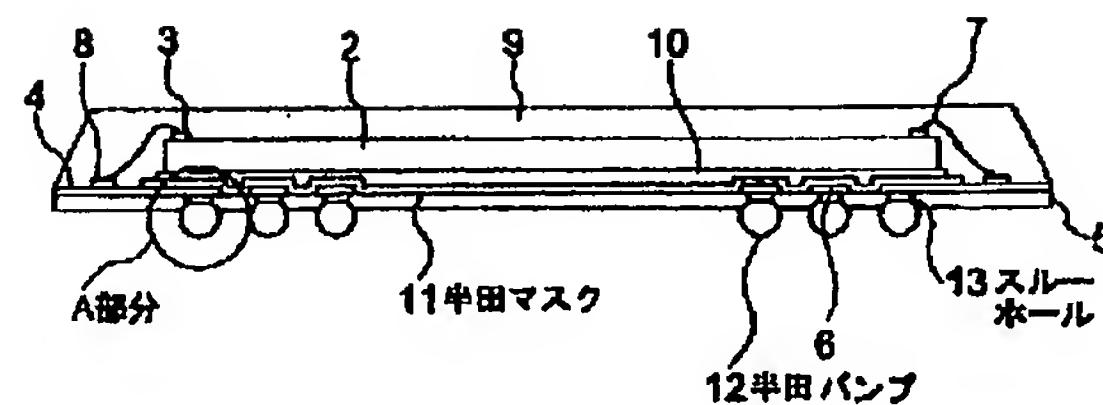
【符号の説明】

1…半導体装置、2…集積回路チップ、3…電極パッド、4…ワイヤ接続ランド、5…絶縁基板、6…バンプ接続ランド、7…導体ワイヤ、8…銅配線、9…モールド樹脂、10…接着層、11…半田マスク、12…半田バンプ、13…スルーホール、14…導電性樹脂、15…銅メッキ、16…テーパー部分、17…段部分

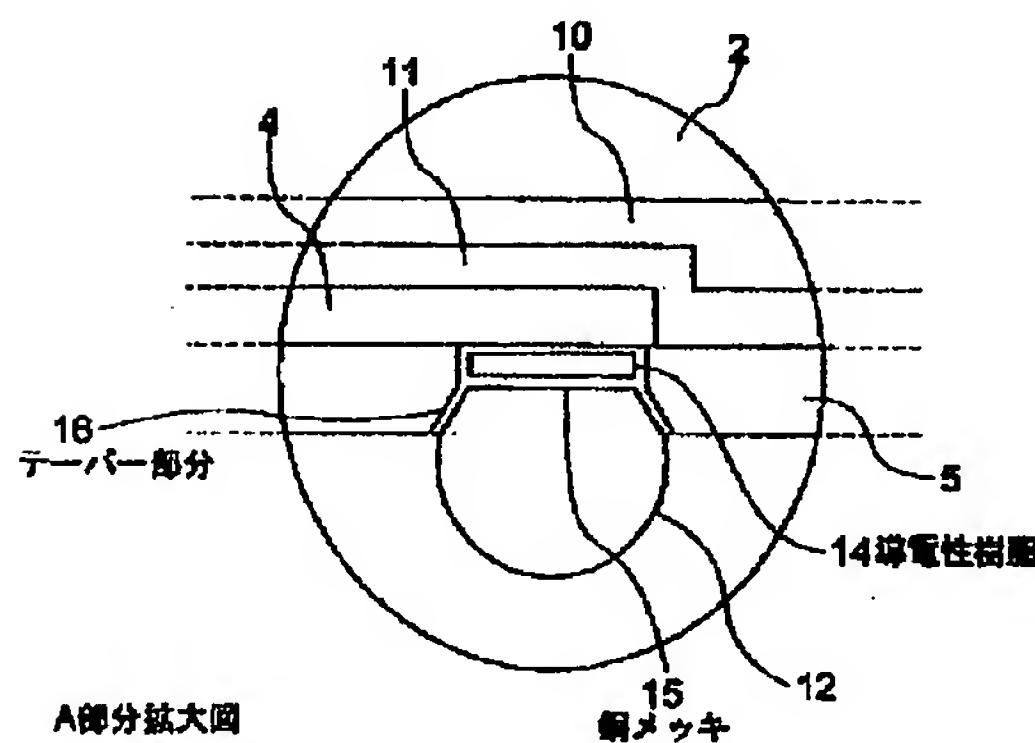
【図1】



【図2】



【図3】



【図4】

